

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-016133
(43)Date of publication of application : 17.01.2003

(51)Int.Cl. G06F 17/50
H01F 17/00
H01G 4/30
H05K 1/16
H05K 3/00
H05K 3/46

(21)Application number : 2001-162904
(22)Date of filing : 30.05.2001

(71)Applicant : TDK CORP
(72)Inventor : HAYASHI KATSUHIKO

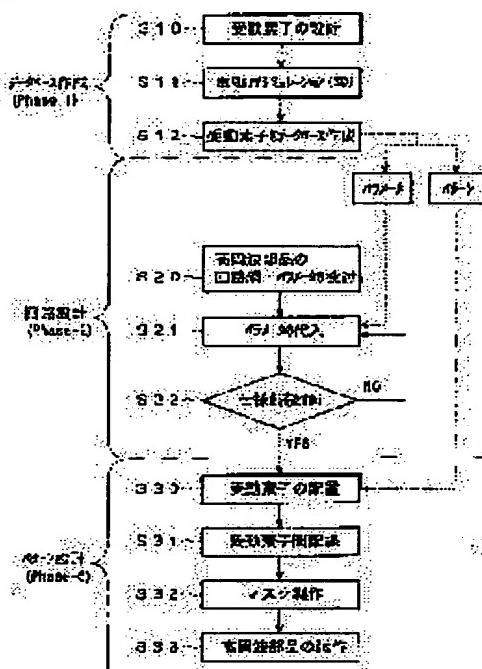
(30)Priority
Priority number : 2001132605 Priority date : 27.04.2001 Priority country : JP

(54) HIGH-FREQUENCY ELECTRONIC COMPONENT AND ITS DESIGNING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method capable of readily designing a high-frequency electronic component having a plurality of passive elements built in a multilayer board.

SOLUTION: This method for designing a high-frequency electronic component comprises a first step of determining a parameter to be needed by each passive element included in a circuit network of a high-frequency electronic component to be produced in each passive element, a second step of respectively selecting a pattern corresponding to each determined parameter from a database in which the parameters of a plurality of passive elements and the patterns corresponding to the parameters are registered, a third step of arranging the selected patterns with one another laterally (horizontally), and a fourth step of wiring the arranged patterns.



LEGAL STATUS

[Date of request for examination] 22.11.2001

[Date of sending the examiner's decision of rejection] 24.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Number of appeal against examiner's decision of rejection

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-16133

(P2003-16133A)

(43)公開日 平成15年1月17日(2003.1.17)

(51) Int.Cl. ⁷	識別記号	F I	テマート [*] (参考)
G 06 F 17/50	6 5 8	C 06 F 17/50	6 5 8 V 4 E 3 5 1
	6 5 4		6 5 4 M 5 B 0 4 6
	6 5 8		6 5 8 H 5 E 0 7 0
H 01 F 17/00		H 01 F 17/00	D 5 E 0 8 2
H 01 G 4/30	3 0 1	H 01 G 4/30	3 0 1 C 5 E 3 4 6
		審査請求 有	請求項の数31 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2001-162904(P2001-162904)
(22) 出願日	平成13年5月30日(2001.5.30)
(31) 優先権主張番号	特願2001-132605(P2001-132605)
(32) 優先日	平成13年4月27日(2001.4.27)
(33) 優先権主張国	日本 (JP)

(71) 出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋一丁目13番1号
(72) 発明者	林 克彦 東京都中央区日本橋一丁目13番1号 ティー・ディー・ケイ株式会社内
(74) 代理人	100078031 弁理士 大石 翔一 (外1名)

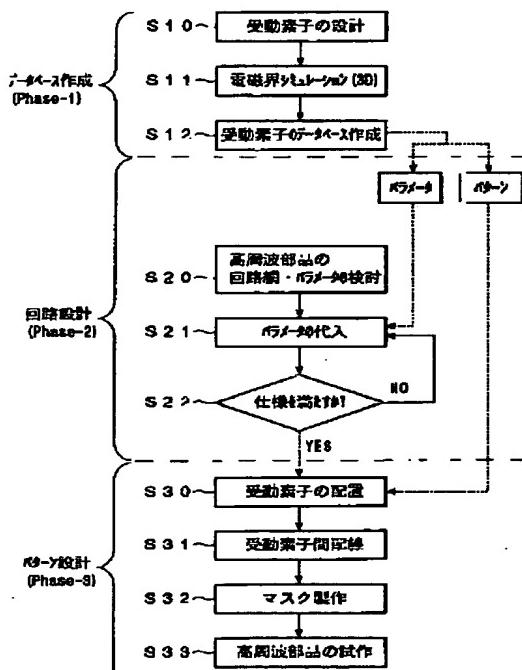
最終頁に続く

(54) 【発明の名称】 高周波電子部品及びその設計方法

(57) 【要約】

【課題】 多層基板内に複数の受動素子が内蔵された高周波電子部品を容易に設計することができる方法を提供する。

【解決手段】 本発明による高周波電子部品の設計方法は、作製すべき高周波電子部品の回路網に含まれる各受動素子が必要とするパラメータを各受動素子ごとに特定する第1のステップと、複数の受動素子のパラメータ及びこれに対応するパターンが登録されたデータベースの中から、特定された各パラメータに対応するパターンをそれぞれ選択する第2のステップと、選択されたパターンを互いに横方向（水平方向）に配置する第3のステップと、配置されたパターン間を配線する第4のステップとを備えている。



【特許請求の範囲】

【請求項1】 作製すべき高周波電子部品の回路網に含まれる各受動素子が必要とするパラメータを各受動素子ごとに特定する第1のステップと、複数の受動素子のパラメータ及びこれに対応するパターンが登録されたデータベースの中から、前記特定された各パラメータに対応するパターンをそれぞれ選択する第2のステップと、前記選択されたパターンを互いに横方法（水平方向）に配置する第3のステップと、前記配置されたパターン間を配線する第4のステップとを備える高周波電子部品の設計方法。

【請求項2】 前記第2のステップにおいて選択された各パターンがいずれも多層基板からなり、前記多層基板は、GND電極となるメタライズが設けられたGND層と、受動素子の本体となるメタライズが設けられた素子形成層と、前記GND層と前記素子形成層との間に設けられたスペーサー層とを含むことを特徴とする請求項1に記載の高周波電子部品の設計方法。

【請求項3】 前記第3のステップにおいて各パターンが互いに横方法（水平方向）に配置されると、これら各パターンに含まれる前記GND層、前記素子形成層及び前記スペーサー層が互いに同一平面を構成することを特徴とする請求項2に記載の高周波電子部品の設計方法。

【請求項4】 前記第4のステップが、少なくとも前記各パターンに含まれる前記スペーサー層において行われることを特徴とする請求項2または3に記載の高周波電子部品の設計方法。

【請求項5】 前記多層基板が、前記素子形成層からみて前記スペーサー層とは反対側に設けられたキャップ層と、前記キャップ層と前記素子形成層との間に設けられた配線層とをさらに含むことを特徴とする請求項2乃至4のいずれか1項に記載の高周波電子部品の設計方法。

【請求項6】 前記第4のステップが、少なくとも前記各パターンに含まれる前記配線層において行われることを特徴とする請求項5に記載の高周波電子部品の設計方法。

【請求項7】 前記キャップ層に電子部品を搭載する第5のステップをさらに備えることを特徴とする請求項5または6に記載の高周波電子部品の設計方法。

【請求項8】 前記第2のステップにおいて選択されたパターンのうちコンデンサを構成するパターンが、いずれも前記素子形成層に形成された少なくとも第1乃至第3のメタライズを含み、前記第2のメタライズは前記第1のメタライズと前記第3のメタライズとの間に設けられ、前記第1のメタライズは前記第2のメタライズによってその一表面の全体が実質的に覆われており、前記第2のメタライズは前記第3のメタライズによってその一表面の全体が実質的に覆われていることを特徴とする請求項2乃至7のいずれか1項に記載の高周波電子部品の設計方法。

【請求項9】 前記第1乃至第3のメタライズのうち、前記第1のメタライズが前記GND電極となるメタライズに最も近いことを特徴とする請求項8に記載の高周波電子部品の設計方法。

【請求項10】 前記コンデンサを構成するパターンが、前記第1のメタライズと前記GND電極となるメタライズとの間に設けられた第4のメタライズをさらに含み、前記第4のメタライズが、前記第1のメタライズとは異なる面積を有していることを特徴とする請求項9に記載の高周波電子部品の設計方法。

【請求項11】 前記第2のステップにおいて選択されたパターンのうちコイルを構成するパターンが、前記素子形成層のうち、コイルの本体となるメタライズの内側となる領域S1の面積と、その外側の領域S2の面積との関係が、 $S_2 \geq S_1$ となるように設定されていることを特徴とする請求項2乃至10のいずれか1項に記載の高周波電子部品の設計方法。

【請求項12】 前記コイルの本体となるメタライズが円弧形であることを特徴とする請求項11に記載の高周波電子部品の設計方法。

【請求項13】 前記第2のステップにおいて選択された各パターンの平面形状が互いに等しいことを特徴とする請求項1乃至12のいずれか1項に記載の高周波電子部品の設計方法。

【請求項14】 前記第2のステップにおいて選択された各パターンの平面形状がいずれも正方形であることを特徴とする請求項1乃至13のいずれか1項に記載の高周波電子部品の設計方法。

【請求項15】 前記第3のステップにおいて、ダミー領域が各パターンに対して横方法（水平方向）付加されることを特徴とする請求項1乃至14のいずれか1項に記載の高周波電子部品の設計方法。

【請求項16】 前記第3のステップが行われた後、容量電極となるメタライズが設けられた付加層を、各パターンが備える前記GND層に隣接して付加する第6のステップをさらに備えることを特徴とする請求項2乃至15のいずれか1項に記載の高周波電子部品の設計方法。

【請求項17】 複数の受動素子が内蔵された多層基板からなる高周波電子部品であって、前記複数の受動素子が前記多層基板内において互いに横方法（水平方向）に配置されていることを特徴とする高周波電子部品。

【請求項18】 前記多層基板が、GND電極が形成されたGND層と、前記複数の受動素子が形成された素子形成層と、前記GND層と前記素子形成層との間に設けられたスペーサー層とを含み、前記複数の受動素子の入出力端はいずれも前記スペーサー層に引き出され、前記スペーサー層において配線されていることを特徴とする請求項17に記載の高周波電子部品。

【請求項19】 前記多層基板が、GND電極が形成されたGND層と、前記複数の受動素子が形成された素子

形成層と、前記素子形成層から見て前記GND層とは反対側に設けられた配線層とを含み、前記複数の受動素子の入出力端はいずれも前記配線層に引き出され、前記配線層において配線されていることを特徴とする請求項17に記載の高周波電子部品。

【請求項20】 前記複数の受動素子にはコンデンサが含まれており、前記コンデンサはいずれも前記素子形成層に形成された少なくとも第1乃至第3のメタライズを含み、前記第2のメタライズは前記第1のメタライズと前記第3のメタライズとの間に設けられ、前記第1のメタライズは前記第2のメタライズによってその一表面の全体が実質的に覆われており、前記第2のメタライズは前記第3のメタライズによってその一表面の全体が実質的に覆われていることを特徴とする請求項18または19に記載の高周波電子部品。

【請求項21】 前記第1乃至第3のメタライズのうち、前記第1のメタライズが前記GND電極に最も近いことを特徴とする請求項20に記載の高周波電子部品。

【請求項22】 前記コンデンサが、前記第1のメタライズと前記GND電極との間に設けられた第4のメタライズをさらに含み、前記第4のメタライズが、前記第1のメタライズとは異なる面積を有していることを特徴とする請求項21に記載の高周波電子部品。

【請求項23】 前記複数の受動素子にはコイルが含まれており、前記コイルは前記素子形成層のうち、コイルの本体となるメタライズの内側の領域S1の面積と、前記コイルの本体となるメタライズから多層基板の端部若しくは隣り合う受動素子を構成するメタライズまでの領域S2の面積との関係が、 $S2 \geq S1$ であることを特徴とする請求項18乃至22のいずれか1項に記載の高周波電子部品。

【請求項24】 前記コイルを構成するメタライズが円弧形であることを特徴とする請求項23に記載の高周波電子部品。

【請求項25】 前記多層基板の表面に電子部品が搭載されていることを特徴とする請求項17乃至24のいずれか1項に記載の高周波電子部品。

【請求項26】 前記多層基板が、前記GND層に隣接し前記GND電極を対向電極とする容量電極が設けられた付加層をさらに含むことを特徴とする請求項18乃至25のいずれか1項に記載の高周波電子部品。

【請求項27】 複数の受動素子が内蔵された多層基板からなる高周波電子部品であって、前記複数の受動素子にはコンデンサが含まれており、前記コンデンサは少なくとも第1乃至第3のメタライズを含み、前記第2のメタライズは前記第1のメタライズと前記第3のメタライズとの間に設けられ、前記第1のメタライズは前記第2のメタライズによってその一表面の全体が実質的に覆われており、前記第2のメタライズは前記第3のメタライズによってその一表面の全体が実質的に覆われているこ

とを特徴とする高周波電子部品。

【請求項28】 前記多層基板には、ほぼ全面にGND電極が形成されたGND層が含まれており、前記第1乃至第3のメタライズのうち、前記第1のメタライズが前記GND電極に最も近いことを特徴とする請求項27に記載の高周波電子部品。

【請求項29】 前記コンデンサが、前記第1のメタライズと前記GND電極との間に設けられた第4のメタライズをさらに含み、前記第4のメタライズが、前記第1のメタライズとは異なる面積を有していることを特徴とする請求項28に記載の高周波電子部品。

【請求項30】 複数の受動素子が内蔵された多層基板からなる高周波電子部品であって、前記複数の受動素子にはコイルが含まれており、前記コイルは本体となるメタライズの内側の領域S1の面積と、前記本体となるメタライズから多層基板の端部若しくは隣り合う受動素子を構成するメタライズまでの領域S2の面積との関係が、 $S2 \geq S1$ であることを特徴とする高周波電子部品。

【請求項31】 前記コイルの本体となるメタライズが円弧形であることを特徴とする請求項30に記載の高周波電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波電子部品及びその設計方法に関し、さらに詳細には、多層基板内に複数の受動素子が内蔵された高周波電子部品及びその設計方法に関する。

【0002】

【従来の技術】 近年、携帯電話や自動車電話に代表される通信機器においては、複数の誘電体基板が積層された多層基板からなる高周波電子部品が数多く用いられている。このような高周波電子部品においては、メタライズによって構成されるコンデンサ(C)やインダクタ(L)等の受動素子が多層基板内に複数個形成されるとともに、これらが相互に接続されることによって、高周波フィルタ等の所定の機能が実現される。

【0003】 ここで、多層基板内に形成される複数の受動素子は、互いに異なる誘電体基板に形成され、これによって複数の受動素子が立体的に積層されることが一般的である。

【0004】

【発明が解決しようとする課題】 しかしながら、多層基板内に形成される複数の受動素子を立体的に積層した場合、各受動素子により生成される電界や磁場が相互に作用しやすく、このため、かかる相互作用を考慮した設計を行うことが必須となる。ところが、このような相互作用を考慮した設計は、設計者の経験に頼る部分が多いため、設計者の熟練が必要であるという問題があった。

【0005】 また、設計者によりメタライズのパターン

形状が決定された後は、一般に、電磁界シミュレータを用いて電気特性のシミュレーションが行われるが、かかるシミュレーションには膨大な時間がかかることが多く、これが高周波電子部品の設計を長期化させる一因となっていた。

【0006】したがって、本発明の目的は、多層基板内に複数の受動素子が内蔵された高周波電子部品において、各受動素子間の相互作用が低減された高周波電子部品を提供することである。

【0007】また、本発明の他の目的は、多層基板内に複数の受動素子が内蔵された高周波電子部品を容易に設計することができる方法を提供することである。

【0008】

【課題を解決するための手段】本発明による高周波電子部品の設計方法は、作製すべき高周波電子部品の回路網に含まれる各受動素子が必要とするパラメータを各受動素子ごとに特定する第1のステップと、複数の受動素子のパラメータ及びこれに対応するパターンが登録されたデータベースの中から、前記特定された各パラメータに対応するパターンをそれぞれ選択する第2のステップと、前記選択されたパターンを互いに横方法(水平方向)に配置する第3のステップと、前記配置されたパターン間を配線する第4のステップとを備えている。

【0009】本発明の好ましい実施態様においては、前記第2のステップにおいて選択された各パターンがいずれも多層基板からなり、前記多層基板は、GND電極となるメタライズが設けられたGND層と、受動素子の本体となるメタライズが設けられた素子形成層と、前記GND層と前記素子形成層との間に設けられたスペーサー層とを含んでいる。

【0010】本発明のさらに好ましい実施態様においては、前記第3のステップにおいて各パターンが互いに横方法(水平方向)に配置されると、これら各パターンに含まれる前記GND層、前記素子形成層及び前記スペーサー層が互いに同一平面を構成する。

【0011】本発明のさらに好ましい実施態様においては、前記第4のステップが、少なくとも前記各パターンに含まれる前記スペーサー層において行われる。

【0012】本発明のさらに好ましい実施態様においては、多層基板が、前記素子形成層からみて前記スペーサー層とは反対側に設けられたキャップ層と、前記キャップ層と前記素子形成層との間に設けられた配線層とをさらに含む。

【0013】本発明のさらに好ましい実施態様においては、前記第4のステップが、少なくとも前記各パターンに含まれる前記配線層において行われる。

【0014】本発明のさらに好ましい実施態様においては、前記キャップ層に電子部品を搭載する第5のステップをさらに備える。

【0015】本発明のさらに好ましい実施態様において

は、前記第2のステップにおいて選択されたパターンのうちコンデンサを構成するパターンが、いずれも前記素子形成層に形成された少なくとも第1乃至第3のメタライズを含み、前記第2のメタライズは前記第1のメタライズと前記第3のメタライズとの間に設けられ、前記第1のメタライズは前記第2のメタライズによってその一表面の全体が実質的に覆われており、前記第2のメタライズは前記第3のメタライズによってその一表面の全体が実質的に覆われている。

【0016】本発明のさらに好ましい実施態様においては、前記第1乃至第3のメタライズのうち、前記第1のメタライズが前記GND電極となるメタライズに最も近い。

【0017】本発明のさらに好ましい実施態様においては、前記コンデンサを構成するパターンが、前記第1のメタライズと前記GND電極となるメタライズとの間に設けられた第4のメタライズをさらに含み、前記第4のメタライズが、前記第1のメタライズとは異なる面積を有している。

【0018】本発明のさらに好ましい実施態様においては、前記第2のステップにおいて選択されたパターンのうちコイルを構成するパターンが、前記素子形成層のうち、コイルの本体となるメタライズの内側となる領域S1の面積と、その外側の領域S2の面積との関係が、 $S_2 \geq S_1$ となるように設定されている。

【0019】本発明のさらに好ましい実施態様においては、前記コイルの本体となるメタライズが円弧形である。

【0020】本発明のさらに好ましい実施態様においては、前記第2のステップにおいて選択された各パターンの平面形状が互いに等しい。

【0021】本発明のさらに好ましい実施態様においては、前記第2のステップにおいて選択された各パターンの平面形状がいずれも正方形である。

【0022】本発明のさらに好ましい実施態様においては、前記第3のステップにおいて、ダミー領域が各パターンに対して横方法(水平方向)付加される。

【0023】本発明のさらに好ましい実施態様においては、前記第3のステップが行われた後、容量電極となるメタライズが設けられた付加層を、各パターンが備える前記GND層に隣接して付加する第6のステップをさらに備える。

【0024】また、本発明による高周波電子部品は、複数の受動素子が内蔵された多層基板からなる高周波電子部品であって、前記複数の受動素子が前記多層基板内において互いに横方法(水平方向)に配置されていることを特徴とする。

【0025】本発明の好ましい実施態様においては、前記多層基板が、GND電極が形成されたGND層と、前記複数の受動素子が形成された素子形成層と、前記GND

D層と前記素子形成層との間に設けられたスペーサー層とを含み、前記複数の受動素子の入出力端はいずれも前記スペーサー層に引き出され、前記スペーサー層において配線されている。

【0026】本発明の別の好ましい実施態様においては、前記多層基板が、GND電極が形成されたGND層と、前記複数の受動素子が形成された素子形成層と、前記素子形成層から見て前記GND層とは反対側に設けられた配線層とを含み、前記複数の受動素子の入出力端はいずれも前記配線層に引き出され、前記配線層において配線されている。

【0027】本発明のさらに好ましい実施態様においては、前記複数の受動素子にはコンデンサが含まれており、前記コンデンサはいずれも前記素子形成層に形成された少なくとも第1乃至第3のメタライズを含み、前記第2のメタライズは前記第1のメタライズと前記第3のメタライズとの間に設けられ、前記第1のメタライズは前記第2のメタライズによってその一表面の全体が実質的に覆われており、前記第2のメタライズは前記第3のメタライズによってその一表面の全体が実質的に覆われている。

【0028】本発明のさらに好ましい実施態様においては、前記第1乃至第3のメタライズのうち、前記第1のメタライズが前記GND電極に最も近い。

【0029】本発明のさらに好ましい実施態様においては、前記コンデンサが、前記第1のメタライズと前記GND電極との間に設けられた第4のメタライズをさらに含み、前記第4のメタライズが、前記第1のメタライズとは異なる面積を有している。

【0030】本発明のさらに好ましい実施態様においては、前記複数の受動素子にはコイルが含まれており、前記コイルは前記素子形成層のうち、コイルの本体となるメタライズの内側の領域S1の面積と、前記コイルの本体となるメタライズから多層基板の端部若しくは隣り合う受動素子を構成するメタライズまでの領域S2の面積との関係が、 $S_2 \geq S_1$ である。

【0031】本発明のさらに好ましい実施態様においては、前記コイルを構成するメタライズが円弧形である。

【0032】本発明のさらに好ましい実施態様においては、前記多層基板の表面に電子部品が搭載されている。

【0033】本発明のさらに好ましい実施態様においては、前記多層基板が、前記GND層に隣接し前記GND電極を対向電極とする容量電極が設けられた付加層をさらに含む。

【0034】また、本発明による高周波電子部品は、複数の受動素子が内蔵された多層基板からなる高周波電子部品であって、前記複数の受動素子にはコンデンサが含まれており、前記コンデンサは少なくとも第1乃至第3のメタライズを含み、前記第2のメタライズは前記第1のメタライズと前記第3のメタライズとの間に設けら

れ、前記第1のメタライズは前記第2のメタライズによってその一表面の全体が実質的に覆われており、前記第2のメタライズは前記第3のメタライズによってその一表面の全体が実質的に覆われていることを特徴とする。

【0035】本発明の好ましい実施態様においては、前記多層基板には、ほぼ全面にGND電極が形成されたGND層が含まれており、前記第1乃至第3のメタライズのうち、前記第1のメタライズが前記GND電極に最も近い。

【0036】本発明のさらに好ましい実施態様においては、前記コンデンサが、前記第1のメタライズと前記GND電極との間に設けられた第4のメタライズをさらに含み、前記第4のメタライズが、前記第1のメタライズとは異なる面積を有している。

【0037】また、本発明による高周波電子部品は、複数の受動素子が内蔵された多層基板からなる高周波電子部品であって、前記複数の受動素子にはコイルが含まれており、前記コイルは本体となるメタライズの内側の領域S1の面積と、前記本体となるメタライズから多層基板の端部若しくは隣り合う受動素子を構成するメタライズまでの領域S2の面積との関係が、 $S_2 \geq S_1$ であることを特徴とする。

【0038】本発明の好ましい実施態様においては、前記コイルの本体となるメタライズが円弧形である。

【0039】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。

【0040】図1は、本発明の好ましい実施態様にかかる高周波電子部品の設計方法を示すフローチャートである。

【0041】図1に示されるように、本実施態様にかかる高周波電子部品の設計方法は、データベース作成(phase-1)、回路設計(phase-2)及びパターン設計(phase-3)の3つのフェーズによって構成される。以下、各フェーズについて詳細に説明する。

【0042】まず、データベース作成(phase-1)について説明する。

【0043】データベース作成(phase-1)は、複数の受動素子の回路定数及びこれに対応する構造をデータベース化するフェーズであり、まず設計者により、複数の受動素子についての仮想的な構造が決定される(ステップS10)。

【0044】図2は、ステップS10において決定されたコンデンサパターン10の一例を示す略分解斜視図である。

【0045】図2に示されるように、コンデンサパターン10は、平面形状が正方形である8枚の誘電体基板11～18及び所定の誘電体基板上に形成されたメタライズによって構成される。誘電体基板11～18のうち、

最下層の誘電体基板11はGND層であり、その表面にはほぼ全面にGND電極となるメタライズ20が仮想的に形成されている。また、誘電体基板11～18のうち、誘電体基板11の上の誘電体基板12～14はスペーサー層であり、誘電体基板14の表面に入出力端の引き出し電極となるメタライズ21、22が仮想的に形成されている他、その他の部分にはいかなるメタライズも形成されていない。さらに、誘電体基板14の上の誘電体基板15～17は素子形成層であり、誘電体基板15にはコンデンサの一方の電極となるメタライズ23が仮想的に形成されており、誘電体基板16にはコンデンサの他方の電極となるメタライズ24が仮想的に形成されており、誘電体基板17にはコンデンサの一方の電極となるメタライズ25が仮想的に形成されている。ここで、図2に示されるように、誘電体基板15上に形成されたメタライズ23と誘電体基板17上に形成されたメタライズ25とは、誘電体基板16、17に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板15上に形成されたメタライズ23と誘電体基板14上に形成されたメタライズ21とは、誘電体基板15に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板16上に形成されたメタライズ24と誘電体基板14上に形成されたメタライズ22とは、誘電体基板15、16に仮想的に形成されたスルーホールを介して短絡されている。そして、誘電体基板17の上の誘電体基板18はキャップ層であり、いかなるメタライズも形成されていない。

【0046】図3は、図2に示したコンデンサパターン10の略断面図である。

【0047】図3に示されるように、コンデンサパターン10においては、コンデンサ電極となるメタライズ23～25のうち、GND電極となるメタライズ20に最も近いメタライズ23の面積が最も小さく、メタライズ20に最も遠いメタライズ25の面積が最も大きく設定されている。すなわち、メタライズ24はメタライズ25によってその一表面の全体が実質的に覆われており、メタライズ23はメタライズ24によってその一表面の全体が実質的に覆われている。これによりメタライズ23～25からなるコンデンサ電極のエッジにおいて発生する電界が内側に向けられ、電界の横方向（水平方向）への漏れが効果的に低減される。このため、このような構造とすることにより、当該コンデンサ電極に対して横方向（水平方向）に他の回路素子が配置された場合であっても、これらの間の相互作用は極めて少なくなる。

【0048】また、コンデンサ電極を構成するメタライズ23～25をこのような構造とすることにより、実際の製品においてメタライズ23～25にズレが生じた場合であっても、これに起因する容量値の変動が抑制されるという効果を得ることもできる。さらに、GND電極となるメタライズ20と各メタライズ23～25との間

の容量値を実質的に均一とすることができますので、2つの入出力端21、22のインピーダンスを実質的に同一とすることもできる。

【0049】図4は、ステップS10において決定されたコイルパターン30の一例を示す略分解斜視図である。

【0050】図4に示されるように、コイルパターン30は、コンデンサパターン10と同様、平面形状が正方形であり、一辺の長さがコンデンサパターン10と等しい8枚の誘電体基板31～38及び所定の誘電体基板上に形成されたメタライズによって構成される。誘電体基板31～38のうち、最下層の誘電体基板31はGND層であり、その表面にはほぼ全面にGND電極となるメタライズ40が仮想的に形成されている。また、誘電体基板31～38のうち、誘電体基板31の上の誘電体基板32～34はスペーサー層であり、誘電体基板34の表面に入出力端の引き出し電極となるメタライズ41、42が仮想的に形成されている他、その他の部分にはいかなるメタライズも形成されていない。さらに、誘電体基板34の上の誘電体基板35～37は素子形成層であり、これら誘電体基板35～37にはメタライズ43～45がそれぞれ仮想的に形成されている。

【0051】ここで、図4に示されるように、誘電体基板35上に形成されたメタライズ43の一端43aと誘電体基板34上に形成されたメタライズ41とは、誘電体基板35に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板35上に形成されたメタライズ43の他端43bと誘電体基板36上に形成されたメタライズ44の一端44aとは、誘電体基板36に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板36上に形成されたメタライズ44の他端44bと誘電体基板37上に形成されたメタライズ45の一端45aとは、誘電体基板37に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板37上に形成されたメタライズ45の他端45bと誘電体基板34上に形成されたメタライズ42とは、誘電体基板35～37に仮想的に形成されたスルーホールを介して短絡されている。そして、誘電体基板37の上の誘電体基板38はキャップ層であり、いかなるメタライズも形成されていない。

【0052】図5は、図4に示したコイルパターン30の略透視平面図である。

【0053】図5に示されるように、コイルパターン30においては、コイルを構成するメタライズ43～45により囲まれる領域S1の面積と、その外側の領域S2（誘電体基板の端部まで）の面積との関係が、 $S_2 \geq S_1$ となるように設定されている。これにより、領域S1において発生する磁場の大多数は領域S2を通過することになるので、磁界の横方向（水平方向）への漏れが効果的に低減される。すなわち、 $S_1 > S_2$ であると、S

1において磁場の磁束密度が最大となるので、S2においてはそれ以上の磁束密度を持つ磁場を作ることはできない。このため、S2よりもさらに外側に多くの磁場を漏らしてしまうことになる。

【0054】したがって、S2 \geq S1となるように設定することにより、当該コイルパターン30'に対して横方向(水平方向)に他の回路素子が配置された場合であっても、これらの間の相互作用は極めて少なくなる。

【0055】尚、図4及び図5に示したコイルパターン30'においては、メタライズ43'～45'により囲まれる領域が矩形となっているが、これを円形としても構わない。

【0056】図6は、誘電体基板35～37上のメタライズ43'～45'を円弧形とし、これによりメタライズ43'～45'により囲まれる領域を円形(正円形)とした例によるコイルパターン30'を示す略分解斜視図であり、図7は、図6に示したコイルパターン30'の略透視平面図である。

【0057】コイルパターン30'においても、コイルを構成するメタライズ43'～45'により囲まれる領域S1の面積と、その外側の領域S2(誘電体基板の端部まで)の面積との関係が、S2 \geq S1となるように設定されており、これにより、上述したコイルパターン30'と同様の効果を得ることができる。さらに、コイルパターン30'においては、メタライズ43'～45'が円弧形であることから、当該コイルパターン30'に対して横方向(水平方向)に他の回路素子が配置された場合であっても、メタライズ43'～45'の端部と当該他の回路素子を構成するメタライズの端部とが平行とならず、このため、当該他の回路素子との磁気的結合が弱められるという効果を得ることができる。また、コイルパターン30'においては、メタライズ43'～45'が円弧形であることから高周波電流が局所的に集中せず、このため、コイルのQ値が向上するという効果も得られる。

【0058】以上のように、ステップS10においては、1層のGND層、3層のスペーサー層、3層の素子形成層、1層のキャップ層からなる所定の受動素子の構造が決定される。

【0059】ステップS10において受動素子の構造が決定されると、次に、かかる構造が電磁界シミュレータに入力され、電磁界シミュレータによる電磁界シミュレーションが行われる(ステップS11)。電磁界シミュレーションにおいては、設計者により入力された構造を有する受動素子がどのような回路定数を有するのか計算される。具体的には、所定の周波数帯における入出力端のSパラメータが計算される。かかる電磁界シミュレーションにおいては、誘電体上に形成されたメタライズパターンの電磁界分布は、マクセルの方程式に従うが、これを有限要素法等を利用して計算する。シミュレーション

される受動素子は、図2乃至図7に示されるようにパターン構造が3次元配置となっているので、3次元電磁界シミュレータを使用することが好ましい。

【0060】尚、本ステップS11において行われる電磁界シミュレーションは、高周波電子部品の従来の設計方法において行われる回路全体の電磁界シミュレーションとは異なり、単独の受動素子について行われることから、従来の電磁界シミュレーションのように膨大な時間がかかることはほとんどない。

【0061】これによって、受動素子の回路定数(パラメータ)とこれに対応する構造(パターン)を得ることができるので、これを複数の受動素子について行うことにより、データベースを作成することができる(ステップS12)。

【0062】この場合、コンデンサパターン10とは異なる特性を持つコンデンサパターンをデータベースに登録する場合においても、コンデンサパターン10と同様、コンデンサ電極となるメタライズ23～25のうち、GND電極となるメタライズ20に最も近いメタライズ23の面積を最も小さく、メタライズ20に最も遠いメタライズ25の面積を最も大きく設定することが好ましい。これにより、データベースに登録された全てのコンデンサを、電界の横方向(水平方向)への漏れが効果的に低減されたコンデンサとすることができる。但し、上述のような電極構造にしなくとも電界の横方向(水平方向)への漏れが十分に小さいコンデンサについては、必ずしも上述のような電極構造とする必要はない。

【0063】同様に、コイルパターン30'とは異なる特性を持つコイルパターンをデータベースに登録する場合においても、コイルパターン30'と同様、S2 \geq S1となるように設定することが好ましい。これにより、データベースに登録された全てのコイルを、磁界の横方向(水平方向)への漏れが効果的に低減されたコイルとすることができる。

【0064】以上により、データベースに登録された各受動素子は、いずれも横方向(水平方向)における相互作用の小さい受動素子とすることができます。

【0065】次に、回路設計(phase-2)について説明する。

【0066】回路設計(phase-2)は、作製しようとする高周波電子部品の回路素子構成(回路網)を決定するフェーズであり、まず、作製しようとする高周波電子部品の回路網が回路網シミュレータに入力され、入力された回路網が要求される電気特性を持つように、当該回路網を構成する各受動素子の回路定数(Sパラメータ)が計算される(ステップS20)。すなわち、回路網シミュレータは、入力された回路網を構成する各回路素子に定数を代入して電気特性を計算し、オプティマイザーと呼ばれる最適化機能を使うことにより、入力され

た回路網の電気特性が要求される電気特性を持つように、回路網を構成する各回路素子ごとに必要とされる定数値を見つけ出す。

【0067】図8は、本実施態様による方法によって作製しようとする高周波電子部品の回路網の一例である。

【0068】図8に示される回路は、ローパスフィルタ回路であり、3つのコンデンサC0～C2と、1つのコイルL0によって構成される。したがって、作製しようとする高周波電子部品の回路網がこのような構成である場合は、コンデンサC0～C2及びコイルL0それについて、必要とされる素子定数値が見出される。

【0069】このようにして、回路網を構成する各受動素子の定数値に対して回路内におけるSパラメータが計算される。このSパラメータを、データベース作成(phase-1)において作成されたデータベースを参照し、登録されている受動素子の中から、ステップS20において計算されたSパラメータを有する受動素子が選択され、これらが回路網に代入される(ステップS21)。この場合、ステップS20において計算された回路素子のSパラメータを有する受動素子がデータベースに登録されていない場合、データベースに登録された受動素子の中から、ステップS20において計算されたパラメータに近いSパラメータを有する2つの受動素子を選択し、補完法等を用いて当該パラメータとこれに対応するパターンを作成するか、データベース作成(phase-1)に戻って新規に登録すればよい。

【0070】次に、再び回路網シミュレータによって、代入が完了した回路網全体の電気特性が計算され、これが作製しようとする高周波電子部品に要求される仕様を満たすか否かが判断される(ステップS22)。

【0071】その結果、仕様を満たさないと判断された場合には、ステップS21に戻って、データベースに登録されている受動素子の中から異なる受動素子が選択され、再び回路網への代入が行われる。一方、仕様を満たすと判断された場合には、回路設計(phase-2)を終了し、続いてパターン設計(phase-3)に移る。

【0072】次に、パターン設計(phase-3)について説明する。

【0073】パターン設計(phase-3)は、実際に高周波電子部品を試作するフェーズであり、まず、データベース作成(phase-1)において作成されたデータベースに登録されている受動素子の中から、回路設計(phase-2)において使用が決定された各受動素子が選択され、そのパターンを横方向(水平方向)に配置する(ステップS30)。

【0074】図9は、図8に示したローパスフィルタ回路を構成する各受動素子C0～C2及びL0を配置した例である。

【0075】図9に示されるように、ステップS30に

おいては、用いられる各受動素子が互いに横方向(水平方向)に配置される点が重要である。この場合、上述したように、データベースに登録されている各受動素子の平面形状が正方形であることから、これら受動素子C0～C2及びL0の配置としては、種々の組み合わせをとることができる。また、データベースに登録されている各受動素子の層構成は、いずれも、1層のGND層、3層のスペーサー層、3層の素子形成層、1層のキャップ層からなる同じ層構成を有していることから、図9に示されるように各受動素子が互いに横方向(水平方向)に配置されると、各受動素子を構成するGND層、スペーサー層、素子形成層、キャップ層は、いずれも同一平面に位置することになる。

【0076】このようにして各受動素子の配置が完了すると、次に、これら各受動素子間の配線が行われる(ステップS31)。

【0077】図10は、配線が施された状態における図8及び図9に示したローパスフィルタ回路の構造を示す分解斜視図である。

【0078】図10に示されるように、各受動素子間の配線は、スペーサー層を利用して行われ、素子形成層には配線は施されない。これにより、各受動素子のパラメータの変動を実質的に考慮することなく、各受動素子間の配線を行うことができる。以上により、作製すべき高周波電子部品全体の構造が決定する。

【0079】作製すべき高周波電子部品全体の構造が決定すると、これに基づいてマスクの製作が行われ(ステップS32)、かかるマスクを用いて高周波電子部品が試作される(ステップS33)。

【0080】このようにして試作された高周波電子部品は、いずれも横方向(水平方向)における相互作用の小さい受動素子が互いに横方向(水平方向)に配置されていることから、各受動素子間の相互作用は非常に少ない。このため、上述のとおり、データベースに登録されている受動素子を配置し(ステップS30)、スペーサー層を利用してこれらを配線する(ステップS31)だけで、作製すべき高周波電子部品全体の構造を得ることができ、各受動素子間の相互作用を考慮する必要がなくなる。

【0081】したがって、本実施態様による高周波電子部品の設計方法によれば、設計者の経験に頼ることなく設計を行うことができるので、熟練した設計者によらず設計を行うことが可能となる。高周波電子部品全体についての電磁界シミュレーションを行う必要がないため、高周波電子部品の設計をより短期間で行うことが可能となる。

【0082】また、上記実施態様では、ローパスフィルタを設計する場合を例に説明したが、これ以外の種々の高周波部品を作製する場合においても、データベース作成(phase-1)において作成されたデータベース

を用いることができるので、登録された受動素子の数が多くなればなるほど、各種高周波電子部品の設計をより容易且つ短期間で行うことができる。

【0083】次に、本発明の好ましい他の実施態様について説明する。

【0084】本実施態様にかかる高周波電子部品の設計方法は、上記実施態様にかかる高周波電子部品の設計方法(図1参照)と基本的に同様であるが、データベース作成(phase-1)における受動素子の設計(ステップS10)及びパターン設計(phase-3)における受動素子間配線(ステップS31)において、上記実施態様による高周波電子部品の設計方法と異なっている。すなわち、本実施態様においては、データベースに登録されるべき受動素子の構造と各受動素子間の配線方法が上記実施態様とは異なっている。

【0085】図11は、本実施態様におけるステップS10において決定されたコンデンサパターン130の一例を示す略分解斜視図である。

【0086】図11に示されるように、コンデンサパターン130は、平面形状が正方形である9枚の誘電体基板131～139及び所定の誘電体基板上に形成されたメタライズによって構成される。誘電体基板131～139のうち、最下層の誘電体基板131はGND層であり、その表面にはほぼ全面にGND電極となるメタライズ140が仮想的に形成されている。また、誘電体基板131～139のうち、誘電体基板131の上の誘電体基板132、133はスペーサー層であり、いかなるメタライズも形成されていない。さらに、誘電体基板133の上の誘電体基板134～136は素子形成層であり、誘電体基板134にはコンデンサの一方の電極となるメタライズ141が仮想的に形成されており、誘電体基板135にはコンデンサの他方の電極となるメタライズ142が仮想的に形成されており、誘電体基板136にはコンデンサの一方の電極となるメタライズ143が仮想的に形成されている。さらに、誘電体基板136の上の誘電体基板137、138は配線層であり、誘電体基板137の表面には入出力端の引き出し電極となるメタライズ144、145が仮想的に形成されている。

【0087】ここで、図11に示されるように、誘電体基板134上に形成されたメタライズ141と誘電体基板136上に形成されたメタライズ143とは、誘電体基板135、136に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板136上に形成されたメタライズ143と誘電体基板137上に形成されたメタライズ144とは、誘電体基板137に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板135上に形成されたメタライズ142と誘電体基板137上に形成されたメタライズ145とは、誘電体基板136、137に仮想的に形成されたスルーホールを介して短絡されている。そして、誘電体基板138

の上の誘電体基板139はキャップ層であり、いかなるメタライズも形成されていない。

【0088】図11に示されるコンデンサパターン130においても、コンデンサ電極となるメタライズ141～143のうち、GND電極となるメタライズ140に最も近いメタライズ141の面積が最も小さく、メタライズ140に最も遠いメタライズ143の面積が最も大きく設定されている。すなわち、メタライズ142はメタライズ143によってその一表面の全体が実質的に覆われており、メタライズ141はメタライズ142によってその一表面の全体が実質的に覆われている。これにより、コンデンサパターン130においても上述したコンデンサパターン10と同様、コンデンサ電極のエッジにおいて発生する電界が内側に向けられ、電界の横方向(水平方向)への漏れが効果的に低減されるとともに、実際の製品においてメタライズ141～143にズレが生じた場合であっても、これに起因する容量値の変動が抑制される。さらに、GND電極となるメタライズ140と各メタライズ141～143との間の容量値を実質的に均一とすることができるので、2つの入出力端144、145のインピーダンスを実質的に同一とすることもできる。

【0089】図12は、本実施態様におけるステップS10において決定されたコイルパターン150の一例を示す略分解斜視図である。

【0090】図12に示されるように、コイルパターン150は、コンデンサパターン130と同様、平面形状が正方形であり、一辺の長さがコンデンサパターン130と等しい9枚の誘電体基板151～159及び所定の誘電体基板上に形成されたメタライズによって構成される。誘電体基板151～159のうち、最下層の誘電体基板151はGND層であり、その表面にはほぼ全面にGND電極となるメタライズ160が仮想的に形成されている。また、誘電体基板151～159のうち、誘電体基板151の上の誘電体基板152、153はスペーサー層であり、いかなるメタライズも形成されていない。さらに、誘電体基板153の上の誘電体基板154～156は素子形成層であり、これら誘電体基板154～156にはメタライズ161～163がそれぞれ仮想的に形成されている。さらに、誘電体基板156の上の誘電体基板157、158は配線層であり、誘電体基板157の表面には入出力端の引き出し電極となるメタライズ164、165が仮想的に形成されている。

【0091】ここで、図12に示されるように、誘電体基板154上に形成されたメタライズ161の一端161aと誘電体基板155上に形成されたメタライズ162の一端162aとは、誘電体基板155に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板155上に形成されたメタライズ162の他端162bと誘電体基板156上に形成されたメタライズ163

3の一端163aとは、誘電体基板156に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板156上に形成されたメタライズ163の他端163bと誘電体基板157上に形成されたメタライズ164とは、誘電体基板157に仮想的に形成されたスルーホールを介して短絡されており、誘電体基板154上に形成されたメタライズ161の他端161bと誘電体基板157上に形成されたメタライズ165とは、誘電体基板155～157に仮想的に形成されたスルーホールを介して短絡されている。そして、誘電体基板158上の誘電体基板159はキャップ層であり、いかなるメタライズも形成されていない。

【0092】図12に示されるコイルパターン150においても、コイルを構成するメタライズ161～163により囲まれる領域S1の面積と、その外側の領域S2（誘電体基板の端部まで）の面積との関係が、 $S_2 \geq S_1$ となるように設定されている。これにより、コイルパターン150においても上述したコイルパターン30と同様、磁界の横方向（水平方向）への漏れが効果的に低減される。

【0093】尚、図12に示したコイルパターン150においては、コイルを構成するメタライズ161～163により囲まれる領域S1が矩形となっているが、図6及び図7に示したコイルパターン30'のように、コイルを構成するメタライズの形状を円弧形とし、これにより領域S1を円形としても構わない。コイルを構成するメタライズ161～163の形状を円弧形とすることによる効果は上述のとおりである。

【0094】以上のように、本実施態様においては、ステップS10において、1層のGND層、2層のスペーサー層、3層の素子形成層、2層の配線層、1層のキャップ層からなる所定の受動素子の構造が決定される。

【0095】このような構造を有する受動素子についても、上記実施態様と同様、電磁界シミュレーション（ステップS11）が行われ、これにより、種々の受動素子につき、回路定数（パラメータ）とこれに対応する構造（パターン）からなるデータベースが作成される（ステップS12）。

【0096】また、回路設計（Phase-2）については、上記実施態様と同様であり、上述した方法により、作製しようとする高周波電子部品の回路素子構成（回路網）の決定を行なう。回路設計（phase-2）が終了すると、続いてパターン設計（phase-3）が行われるが、本実施態様においても、まず、データベース作成（phase-1）において作成されたデータベースに登録されている受動素子の中から、回路設計（phase-2）において使用が決定された各受動素子を選択し、そのパターンを横方向（水平方向）に配置する（ステップS30）。

【0097】例えば、図8に示したローパスフィルタ回

路を構成する各受動素子C0～C2及びL0を配置する場合、図9に示されるように、用いられる各受動素子が互いに横方向（水平方向）に配置される。また、本実施態様においては、データベースに登録されている各受動素子の層構成は、いずれも、1層のGND層、2層のスペーサー層、3層の素子形成層、2層の配線層、1層のキャップ層からなる同じ層構成を有していることから、図9に示されるように各受動素子が互いに横方向（水平方向）に配置されると、各受動素子を構成するGND層、スペーサー層、素子形成層、配線層、キャップ層は、いずれも同一平面に位置することになる。

【0098】このようにして各受動素子の配置が完了すると、次に、これら各受動素子間の配線が行われる（ステップS31）。

【0099】図13は、配線が施された状態における図8及び図9に示したローパスフィルタ回路の構造を示す分解斜視図である。

【0100】図13に示されるように、本実施態様では、各受動素子間の配線が配線層を利用して行われるとともに、GND配線がスペーサー層に設けられたスルーホール配線によって構成され、素子形成層に配線は施されない。これにより、各受動素子のパラメータの変動を実質的に考慮することなく、各受動素子間の配線を行うことができる。以上により、作製すべき高周波電子部品全体の構造が決定する。

【0101】作製すべき高周波電子部品全体の構造が決定すると、これに基づいてマスクの製作が行われ（ステップS32）、かかるマスクを用いて高周波電子部品が試作される（ステップS33）。

【0102】本実施態様による方法で試作された高周波電子部品も、いずれも横方向（水平方向）における相互作用の小さい受動素子が互いに横方向（水平方向）に配置されていることから、各受動素子間の相互作用は非常に少なく、上記実施態様と同様の効果を得ることができる。

【0103】しかも、本実施態様においては、キャップ層と素子形成層との間に位置する配線層を用いて各受動素子間の配線が行っていることから、図14に示されるように、高周波電子部品の表面（キャップ層）にPINダイオード等の能動素子や、ディスクリート部品としてのコンデンサ、コイル、抵抗等の電子部品165を搭載する場合に、これら電子部品165と素子形成層に形成されている受動素子との配線を容易に行なうことが可能となる。また、高周波電子部品の表面（キャップ層）に電子部品165を搭載する場合、高周波電子部品の表面（キャップ層）には、かかる部品用のパッド電極166が必要となるが、本実施態様においては、キャップ層と素子形成層との間に配線層が介在していることから、素子形成層に形成されている受動素子に対するパッド電極166の影響を低減することができる。

【0104】尚、図11に示したコンデンサパターン130においては、コンデンサ電極となるメタライズ(141～143)を、素子形成層である3枚の誘電体基板134～136の全てに形成しているが、回路定数が小さいコンデンサパターンにおいては、素子形成層である3枚の誘電体基板134～136の全てを使用する必要はなく、上層側の2層の誘電体基板135、136にのみメタライズを形成すればよい。同様に、図12に示したコイルパターン150においては、コイル電極となるメタライズ(161～163)を、素子形成層である3枚の誘電体基板154～156の全てに形成しているが、回路定数が小さいコイルパターンにおいては、素子形成層である3枚の誘電体基板154～156の全てを使用する必要はなく、最上層の誘電体基板156のみ、若しくは、上層側の2層の誘電体基板155、156にのみメタライズを形成すればよい。このような場合、本実施態様においては、素子形成層の上方に配線層が設けられ、ここにコンデンサやコイルの一方及び他方の電極となるメタライズ(144、145、164、165)が形成されていることから、これら電極まで引き出すために必要となるスルーホール数を減らすことができる。

【0105】また、図13に示したローパスフィルタ回路においては、スルーホールからなるGND配線がスペーサー層に設けられているが、回路構成上、GND配線が不要なものについては、スペーサー層にこのようなスルーホールを設ける必要はない。

【0106】尚、上記各実施態様においては、いずれも4つの受動素子からなるローパスフィルタを設計する例について説明したが、用いられる受動素子の数により、全体として四辺形に配置することができない場合には、以下のように処理すればよい。

【0107】図15は、3つの受動素子51～53からなる高周波電子部品50の配置例である。

【0108】図15に示されるように、高周波電子部品が3つの受動素子51～53からなる場合には、ダミー領域54を付加することにより、高周波電子部品50全体の平面形状を四辺形とすることができる。ここで、ダミー領域54は、最下層の誘電体基板にGND電極が設けられている他、その他の誘電体基板にはメタライズが形成されていない構造を有する。

【0109】図16は、5つの受動素子61～65からなる高周波電子部品60の配置例である。

【0110】図16に示されるように、高周波電子部品が5つの受動素子61～65からなる場合には、ダミー領域66を付加することにより、高周波電子部品60全体の平面形状を四辺形とすることができる。

【0111】また、用いられる受動素子の数により、全体として四辺形に配置することができる場合であっても、ダミー領域を付加しても構わない。

【0112】図17は、8つの受動素子71～78から

なる高周波電子部品70の配置例である。

【0113】高周波電子部品70は、8つの受動素子71～78からなるため、ダミー領域を付加しなくても全体として四辺形に配置することができるが、図17に示されるように、ダミー領域79を付加することにより、高周波電子部品70全体の平面形状をより取り扱い易い形状とすることができます。この場合、ダミー領域79が高周波電子部品70の中心部に配置されていることから、各受動素子間の相互作用が一層低減されるという効果も得られる。

【0114】さらに、上記各実施態様においては、いずれもデータベースに登録された受動素子の一辺の長さが互いに等しい場合を例に説明したが、受動素子の一辺の長さを全て等しくする必要はなく、例えば、一辺の長さが1.0mm、0.8mm、0.5mm、0.3mmのように、複数のシリーズについて登録し、作製すべき高周波電子部品に要求される電気特性に応じて、適切なシリーズに属する受動素子を用いても構わない。この場合、一つの高周波電子部品につき、用いられる受動素子を一つのシリーズのみから選択することは必須でなく、2以上のシリーズから選択し、これらを配置することによって高周波電子部品を構成しても構わない。

【0115】図18は、一辺の長さが1.0mmであるシリーズから選択された受動素子81及び一辺の長さが0.5mmであるシリーズから選択された受動素子82、83からなる高周波電子部品80の配置例である。

【0116】図18に示されるように、2以上のシリーズから受動素子を選択する場合であっても、高周波電子部品全体の平面形状を四辺形とすることができる。

【0117】また、2以上のシリーズから受動素子を選択することにより、全体として四辺形に配置することができない場合には、ダミー領域を付加することによって高周波電子部品全体の平面形状を四辺形とすることができる。

【0118】図19は、一辺の長さが0.5mmであるシリーズから選択された受動素子91～93及び一辺の長さが0.3mmであるシリーズから選択された受動素子94からなる高周波電子部品90の配置例である。

【0119】図19に示されるように、一辺の長さが他の受動素子91～93よりも小さい受動素子94が用いられることにより、全体として四辺形に配置することができない場合、ダミー領域95を付加することによって、高周波電子部品90全体の平面形状を四辺形とすることができる。この場合、図19に示されるように、一辺の長さが0.3mmである受動素子94をコーナー部分に配置し、残余の部分をダミー領域95とすることにより、各受動素子間の相互作用を一層低減することができる。

【0120】図20は、一辺の長さが0.5mmであるシリーズから選択された受動素子101～103及び一

辺の長さが0.8mmであるシリーズから選択された受動素子104からなる高周波電子部品100の配置例である。

【0121】図20に示されるように、一辺の長さが他の受動素子101～103よりも大きい受動素子104が用いられることにより、全体として四辺形に配置することができない場合、ダミー領域105、106を付加することによって、高周波電子部品100全体の平面形状を四辺形とすることができる。

【0122】さらに、上記各実施態様においては、いずれもデータベースに登録された受動素子の平面形状がいずれも正方形である場合を例に説明したが、全ての受動素子の平面形状を正方形とする必要はなく、平面形状が長方形である受動素子をデータベースに登録しても構わない。

【0123】図21は、平面形状がいずれも長方形である6つの受動素子111～116からなる高周波電子部品110の配置例である。

【0124】図21に示されるように、用いられる受動素子111～116が長方形である場合にも、これらを横方向（水平方向）に配置することにより、高周波電子部品110全体の平面形状を四辺形とすることができる。この場合、用いられる受動素子の数により、全体として四辺形に配置することができない場合には、図15や図16に示したように、ダミー領域を付加することによって高周波電子部品全体の平面形状を四辺形にすることはできる。また、用いられる受動素子の数により、全体として四辺形に配置することができる場合であっても、図17に示したように、ダミー領域を付加しても構わない。

【0125】さらに、平面形状が長方形である受動素子を用いる場合、高周波電子部品を構成する全ての受動素子を平面形状が長方形であるタイプから選択することは必須でなく、一つの高周波電子部品につき、平面形状が正方形であるタイプ及び平面形状が長方形であるタイプの両方から受動素子を選択し、これらを配置することによって高周波電子部品を構成しても構わない。この場合、高周波電子部品全体の平面形状を四辺形とするためには、平面形状が長方形である受動素子の各辺の長さを、平面形状が正方形である受動素子の一辺の長さと一致させるか、その整数倍若しくは整数倍分の1に設定することが好ましい。例えば、平面形状が正方形であるタイプの受動素子として、それぞれ一辺の長さが1.0mm、0.8mm、0.5mm、0.3mmである複数のシリーズがデータベースに登録されている場合、平面形状が長方形であるタイプの受動素子としては、各辺の長さを0.8mm×0.5mmや、1.0mm×0.5mmのように、両辺の長さを平面形状が正方形であるタイプの受動素子の一辺の長さと一致させたり、各辺の長さを0.4mm×0.5mmや0.4mm×0.6mmの

ように、少なくとも一方の辺の長さを平面形状が正方形であるタイプの受動素子の一辺の長さの整数倍若しくは整数倍分の1に一致させることができが好ましい。

【0126】図22は、一辺の長さが0.5mmであるシリーズから選択された受動素子121（正方形タイプ）、一辺の長さが0.3mmであるシリーズから選択された受動素子122（正方形タイプ）、各辺の長さが0.5mm×0.3mmである長方形タイプの受動素子123、124からなる高周波電子部品120の配置例である。

【0127】図22に示されるように、用いられる受動素子として、正方形タイプの受動素子121、122と、長方形タイプの受動素子123、124が混在している場合であっても、平面形状が長方形である受動素子の各辺の長さを、平面形状が正方形である受動素子の一辺の長さと一致させるか、その整数倍若しくは整数倍分の1に設定しておけば、高周波電子部品120全体の平面形状を四辺形とすることができます。この場合、用いられる受動素子の数やサイズにより、全体として四辺形に配置することができない場合には、ダミー領域を付加することによって高周波電子部品全体の平面形状を四辺形をすることができます。また、用いられる受動素子の数やサイズにより、全体として四辺形に配置することができる場合であっても、ダミー領域を付加しても構わない。

【0128】本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0129】例えば、上記実施態様では、データベースの作成（phase-1）において、受動素子の仮想的な構造の決定（ステップS10）及び電磁界シミュレーション（ステップS11）によって、各受動素子の特性（パラメータ）とこれに対応する構造（パターン）を得ているが、実際に受動素子を試作し、その電気特性を実測することによって、各受動素子の特性（パラメータ）とこれに対応する構造（パターン）を得ても構わない。この場合、各受動素子の特性（パラメータ）とこれに対応する構造（パターン）についてのより正確なデータを得ることができる一方、ひとつのデータを生成するのに多くの時間がかかるとなる。このため、上記実施態様のように、仮想的な構造の決定（ステップS10）及び電磁界シミュレーション（ステップS11）によってデータを生成し、必要に応じて試作及び実測を行うことによってこれを補完することが最も好ましい。

【0130】また、上記実施態様において、ローパスフィルタを設計する例について説明したが、本発明により設計可能な高周波電子部品としては、ローパスフィルタに限定されず、他の回路、例えば、フィルタ、カプラー、PINスイッチを設計することも可能である。この場合、必要に応じて、高周波電子部品の表面（キャップ

層)にPINダイオード等の半導体素子や、ディスクリート部品としてのコンデンサ、コイル、抵抗等の電子部品を搭載しても構わない。尚、前者の実施態様のように、高周波電子部品の表面(キャップ層)と素子形成層との間に配線層が設けられていない高周波電子部品の表面にこれら電子部品を実装する場合、多層基板に内蔵される受動素子と上記電子部品とを接続する配線を、ダミー領域に形成することが好ましい。このようにかかる配線をダミー領域に形成すれば、各受動素子の素子形成層におけるメタライズのパターンを変更する必要がないという利点がある。

【0131】また、上述したコンデンサパターン10、130においては、いずれも、コンデンサ電極となるメタライズ(23~26、141~143)が3層に亘って形成されており、上述したコイルパターン30、150においては、いずれも、コイル電極となるメタライズ(43~46、161~163)が3層に亘って形成されているが、より大きな定数値が必要な場合には、素子形成層として4層以上割り当ててもよい。この場合、コンデンサ電極となる各メタライズの面積は、以下のように設定することが好ましい。

【0132】図23は、5層の素子形成層を用いたコンデンサパターン170を示す略断面図である。

【0133】図23に示されるように、コンデンサパターン170においては、コンデンサ電極となるメタライズ171~175のうち、GND電極となるメタライズ176に最も遠いメタライズ175からメタライズ176に最も近いメタライズ171の順で、面積が小さくなるように設定されている。すなわち、最上層となるメタライズ175が最も広い面積を有し、その他のメタライズ171~174は、隣接する上方のメタライズによってそれぞれの一表面の全体が実質的に覆われている。これにより上述したコンデンサパターン10、130と同様の効果を得ることができる。

【0134】図24は、5層の素子形成層を用いたコンデンサパターン180を示す略断面図である。

【0135】図24に示されるように、コンデンサパターン180においては、コンデンサ電極となるメタライズ181~185のうち、GND電極となるメタライズ186に最も遠いメタライズ185の面積がその直下のメタライズ184よりも大きく設定され、メタライズ184の面積がその直下のメタライズ183よりも大きく設定され、メタライズ183の面積がその直下のメタライズ182よりも小さく設定され、メタライズ182の面積がその直下のメタライズ181よりも大きく設定されている。すなわち、コンデンサ電極となる複数のメタライズのうち、GND電極となるメタライズから遠くに位置する3つのメタライズについては、上述したコンデンサパターン10、130と同様、GND電極となるメタライズに近くなるにつれてその面積が小さくなるよう

に設定され、コンデンサ電極となる複数のメタライズのうちそれ以外のメタライズについては、隣接するメタライズと異なる面積を有し、且つ、GND電極となるメタライズから最も遠いメタライズの面積よりも小さい面積に設定されている。

【0136】このような構造においても、メタライズ181~185からなるコンデンサ電極のエッジにおいて発生する電界が内側に向けられ、電界の横方向(水平方向)への漏れが効果的に低減される。また、このような構造によれば、図23に示されるコンデンサパターン170よりも大きな容量値を得ることが可能となる。

【0137】さらに、上述したコイルパターン30においては、コイルを構成するメタライズ43~45により囲まれる領域S1の面積と、その外側の領域S2(誘電体基板の端部まで)の面積との関係が、S2≥S1となるように設定されているが、S1>S2であっても、受動素子の配置ステップ(ステップS30)において、附加されるダミー領域や、隣り合う受動素子内の空白領域(素子形成層においてメタライズが形成されていない部分)によって結果的にS2≥S1となるように配置可能であれば、このようなコイルパターンをデータベースに登録し、これを利用して構わない。すなわち、受動素子の配置(ステップS30)が完了した時点における領域S2とは、コイルを構成するメタライズから誘電体基板の端部若しくは隣り合う受動素子内のメタライズまでの領域によって定義することができる。

【0138】また、上述したコイルパターン30'においては、メタライズ43'~45'からなるコイル形状が正円形であるが、誘電体基板の平面形状に応じ、コイル形状を橢円形としても構わない。

【0139】さらに、上記各実施態様においては、パターン設計(Phase-3)において受動素子の配置(ステップS30)を行った後、これら配置された受動素子間の配線を行っているが(ステップS31)、ステップS30が完了した後、GND層よりもさらに下層に、対地容量電極が形成された誘電体基板及び他のGND層を附加することにより、対地容量を付加しても構わない。

【0140】図25は、このような対地容量を付加した例による高周波電子部品190を示す分解斜視図である。

【0141】図25に示されるように、高周波電子部品190においては、本来最下層となるGND層の下方に第1及び第2の付加層が設けられてなる。第1の付加層は、誘電体基板191上に対地容量電極となるメタライズ192が形成されてなり、第2の付加層は、誘電体基板193上のほぼ全面にGND電極となるメタライズ194が形成されてなる。また、本来最下層となるGND層に設けられたメタライズ195には、切り欠き部196が設けられ、対地容量電極となるメタライズ192

は、かかる切り欠き部196に設けられたスルーホールを介してスペーサー層に形成されている配線に接続されている。

【0142】このような構成からなる高周波電子部品190によれば、比較的容量の大きい対地容量を容易に形成することができる。この場合、第1及び第2の付加層がGND層よりも下方に設けられていることから、素子形成層に設けられている受動素子に対する影響はほとんどない。

【0143】また、上記各実施態様において受動素子を構成する誘電体基板の積層数は一例であり、本発明による高周波電子部品の積層数が上記実施態様において示したものに限定されることはない。したがって、例えば、素子形成層として4層以上の誘電体基板を用いてもよく、スペーサー層として4層以上の誘電体基板を用いてもよい。また、配線層についても、2層に限定されることなく、1層のみであってもよいし、3層以上であってもよい。

【0144】さらに、後者の実施態様においては、キャップ層と素子形成層との間に設けられた配線層において各受動素子間の配線を行っているが、かかる配線層とスペーサー層の両方において各受動素子間の配線を行っても構わない。

【0145】また、本発明において、手段とは、必ずしも物理的手段を意味するものではなく、各手段の機能がソフトウエアによって実現される場合も包含する。さらに、一つの手段の機能が二以上の物理的手段により実現されても、二以上の手段の機能が一つの物理的手段により実現されてもよい。

【0146】

【発明の効果】以上説明したように、本発明によれば、各受動素子間の相互作用が低減された高周波電子部品を提供することができる。また、本発明によれば、多層基板内に複数の受動素子が内蔵された高周波電子部品を容易に設計することが可能となる。

【図面の簡単な説明】

【図1】本発明の好ましい実施態様にかかる高周波電子部品の設計方法を示すフローチャートである。

【図2】ステップS10において決定されたコンデンサパターン10の一例を示す略分解斜視図である。

【図3】図2に示したコンデンサパターン10の略断面図である。

【図4】ステップS10において決定されたコイルパターン30の一例を示す略分解斜視図である。

【図5】図4に示したコイルパターン30の略透視平面図である。

【図6】ステップS10において決定されたコイルパターン30'の一例を示す略分解斜視図である。

【図7】図6に示したコイルパターン30'の略透視平面図である。

【図8】本実施態様による方法によって作製しようとする高周波電子部品の回路網の一例である。

【図9】図8に示したローパスフィルタ回路を構成する各受動素子C0～C2及びL0を配置した例である。

【図10】配線が施された状態における図8及び図9に示したローパスフィルタ回路の構造を示す分解斜視図である。

【図11】ステップS10において決定されたコンデンサパターン130の一例を示す略分解斜視図である。

【図12】ステップS10において決定されたコイルパターン150の一例を示す略分解斜視図である。

【図13】配線が施された状態における図8及び図9に示したローパスフィルタ回路の構造を示す分解斜視図である。

【図14】キャップ層上に電子部品165を搭載した例を示す分解斜視図である。

【図15】3つの受動素子51～53からなる高周波電子部品50の配置例である。

【図16】5つの受動素子61～65からなる高周波電子部品60の配置例である。

【図17】8つの受動素子71～78からなる高周波電子部品70の配置例である。

【図18】一辺の長さが1.0mmであるシリーズから選択された受動素子81及び一辺の長さが0.5mmであるシリーズから選択された受動素子82、83からなる高周波電子部品80の配置例である。

【図19】一辺の長さが0.5mmであるシリーズから選択された受動素子91～93及び一辺の長さが0.3mmであるシリーズから選択された受動素子94からなる高周波電子部品90の配置例である。

【図20】一辺の長さが0.5mmであるシリーズから選択された受動素子101～103及び一辺の長さが0.8mmであるシリーズから選択された受動素子104からなる高周波電子部品100の配置例である。

【図21】平面形状がいずれも長方形である6つの受動素子111～116からなる高周波電子部品110の配置例である。

【図22】一辺の長さが0.5mmであるシリーズから選択された受動素子121（正方形タイプ）、一辺の長さが0.3mmであるシリーズから選択された受動素子122（正方形タイプ）、各辺の長さが0.5mm×0.3mmである長方形タイプの受動素子123、124からなる高周波電子部品120の配置例である。

【図23】5層の素子形成層を用いたコンデンサパターン170を示す略断面図である。

【図24】5層の素子形成層を用いたコンデンサパターン180を示す略断面図である。

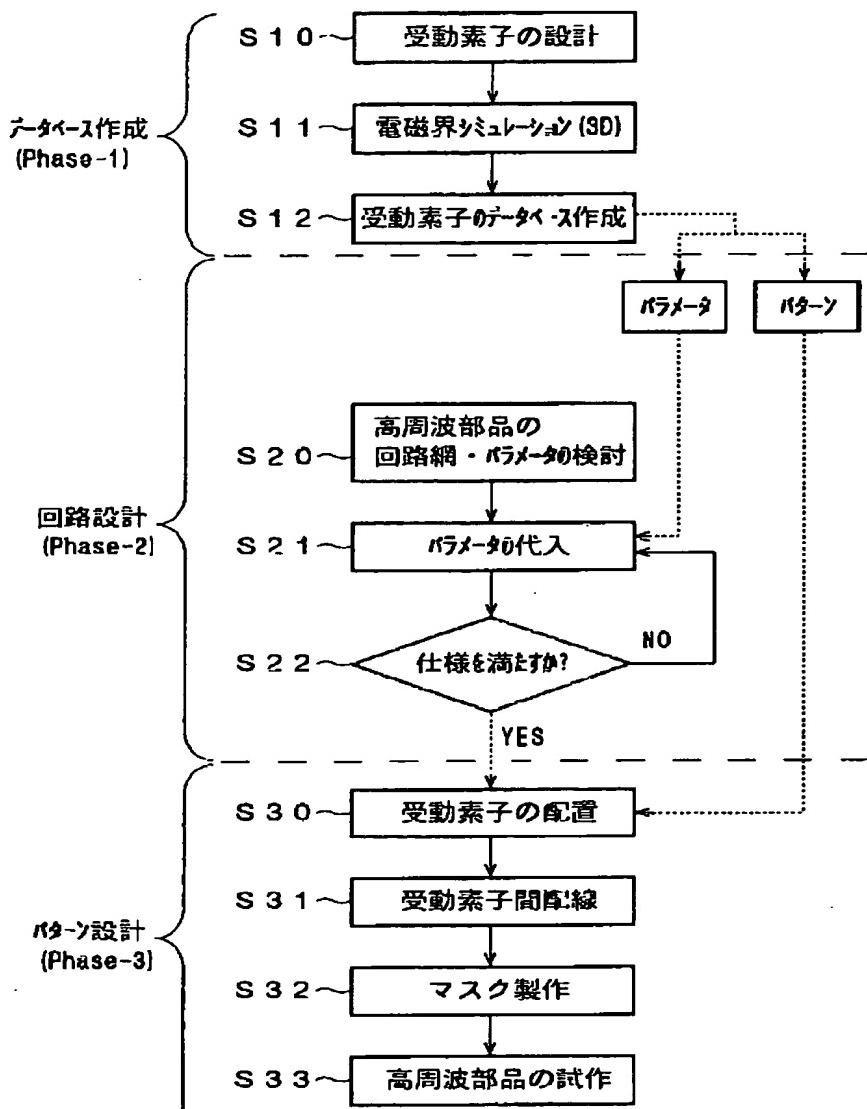
【図25】対地容量を付加した例による高周波電子部品190を示す分解斜視図である。

【符号の説明】

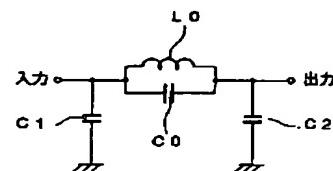
10, 130, 170, 180 コンデンサパターン
 11~18, 31~38, 131~139, 151~1
 59, 191, 193 誘電体基板
 20~25, 40~45, 43'~45', 140~1
 43, 161~163, 171~176, 181~18
 6, 192, 194, 195 メタライズ
 30, 30', 150 コイルパターン
 50, 60, 70, 80, 90, 100, 110, 12

0, 190 高周波電子部品
 51~53, 61~65, 71~78, 81~83, 9
 1~94, 101~104, 111~116, 121~
 124 受動素子
 54, 66, 79, 95, 105, 106 ダミー領域
 165 電子部品
 166 パッド電極
 196 切り欠き部

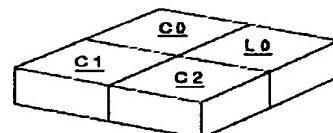
【図1】



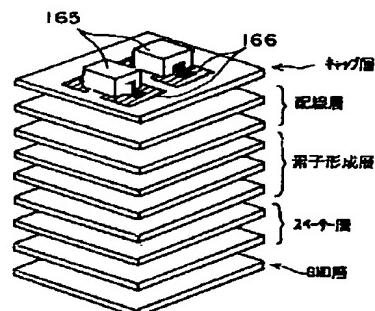
【図8】



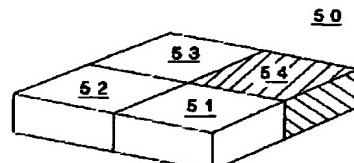
【図9】



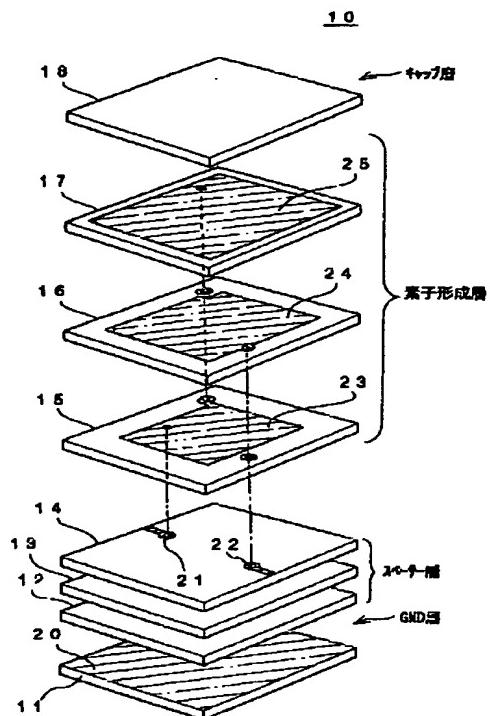
【図14】



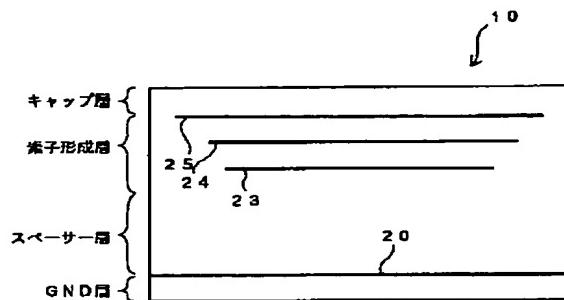
【図15】



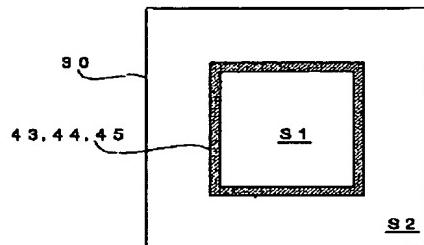
【図2】



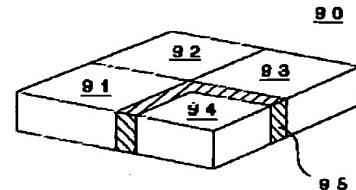
【図3】



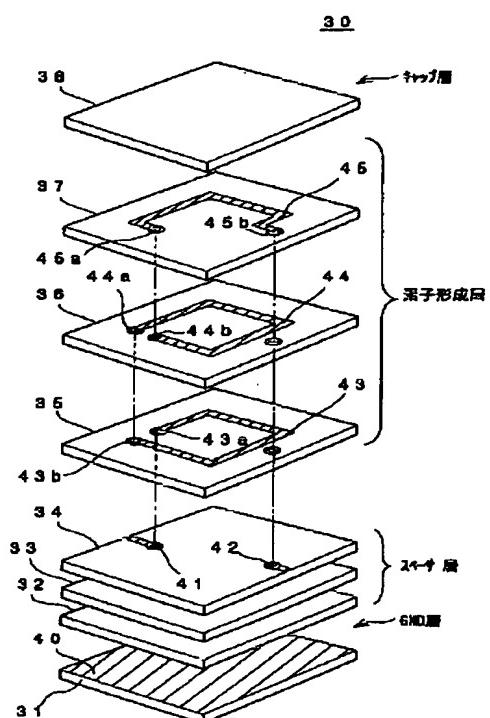
【図5】



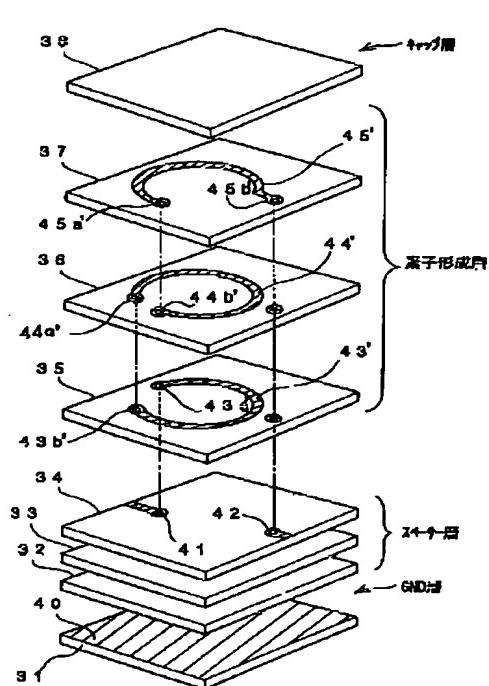
【図19】



【図4】

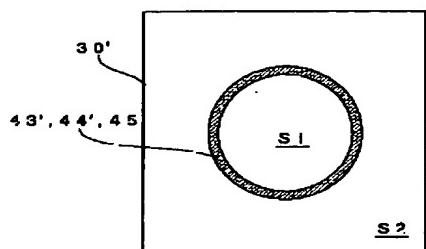


30'

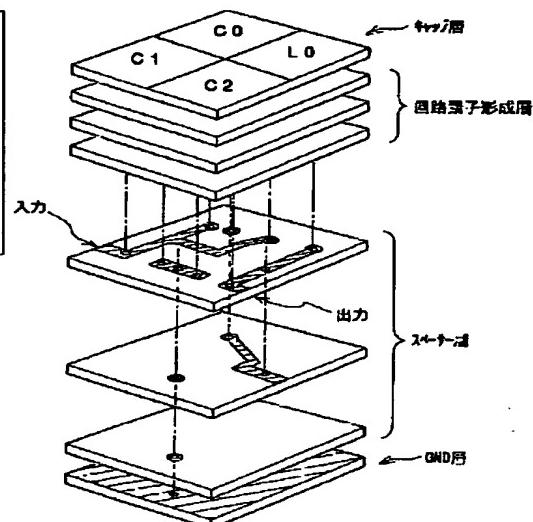


【図6】

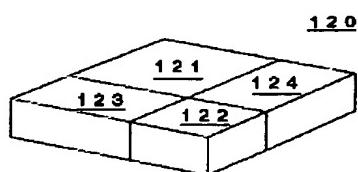
【図7】



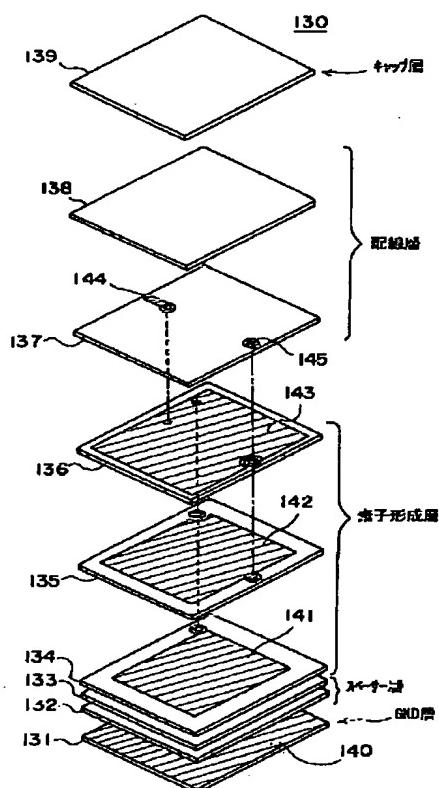
【図10】



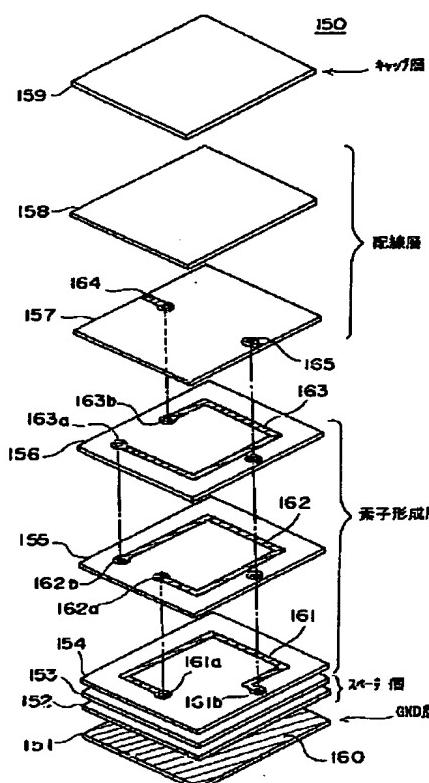
【図22】



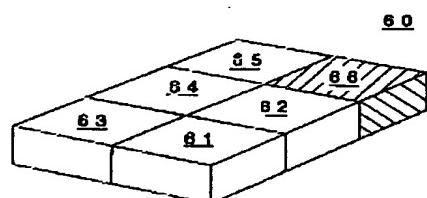
【図11】



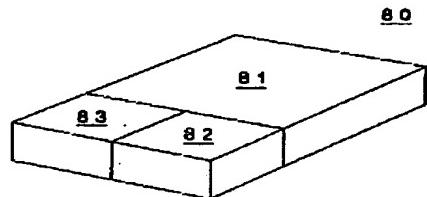
【図12】



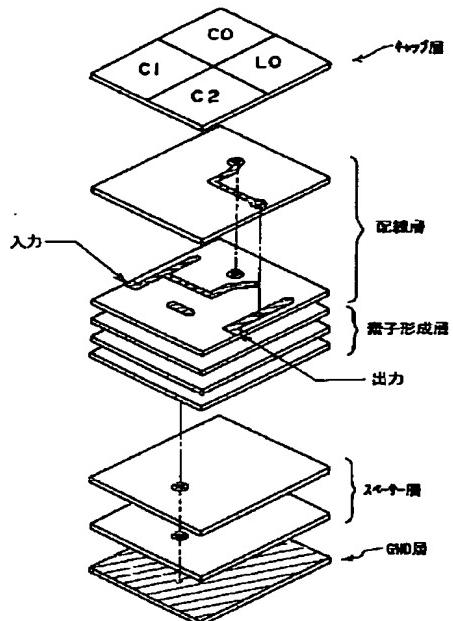
【図16】



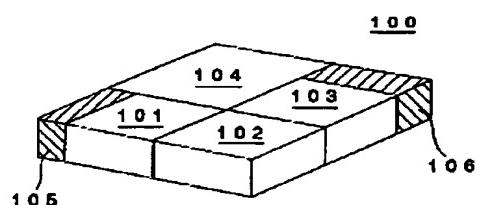
【図18】



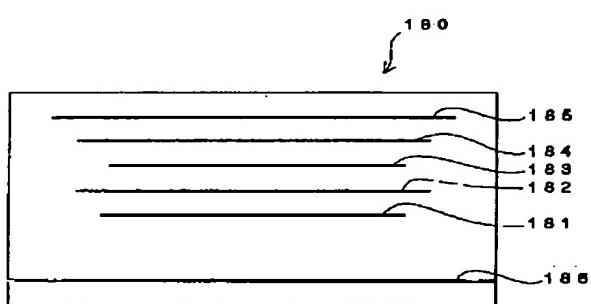
【図13】



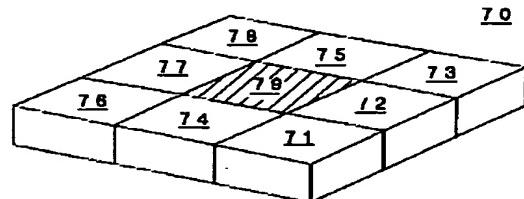
【図20】



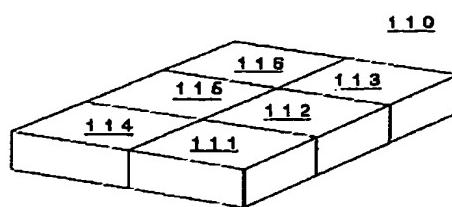
【図24】



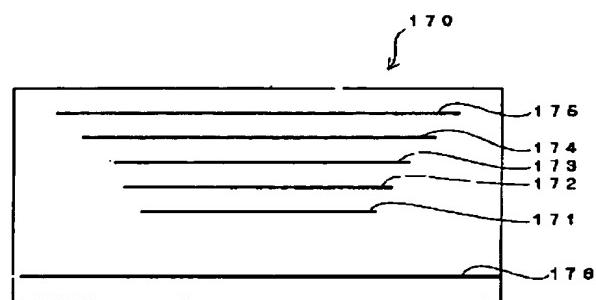
【図17】



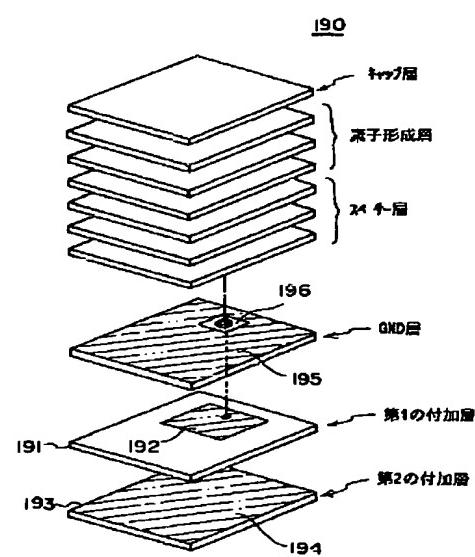
【図21】



【図23】



【図25】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	(参考)
H 0 1 G	4/30	H 0 1 G	4/30
H 0 5 K	1/16	H 0 5 K	1/16
			D
3/00		3/00	D
3/46		3/46	N
			Q
			Z

F ターム(参考) 4E351 BB03 BB09 BB35 CC11 GG07
 5B046 AA08 BA06 KA05
 5E070 AA01 AA05 AB01 BA01
 5E082 AB03 BB05 BC39 EE11
 5E346 AA02 AA12 AA13 AA15 AA22
 AA23 AA32 AA33 AA35 AA43
 AA51 BB02 BB04 BB07 BB11
 BB15 BB16 BB20 CC21 DD02
 DD13 DD34 EE21 FF01 FF45
 GG03 HH06 HH31

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox